

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

05478034    \*\*Image available\*\*

SEMICONDUCTOR CIRCUIT, SEMICONDUCTOR DEVICE AND MANUFACTURE  
THEREOF

PUB. NO.:    09-092834 [JP 9092834 A]

PUBLISHED:    April 04, 1997 (19970404)

INVENTOR(s):    MAKITA NAOKI

APPLICANT(s):    SHARP CORP [000504] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:    07-243478 [JP 95243478]

FILED:    September 21, 1995 (19950921)

INTL CLASS:    [6] H01L-029/786; H01L-021/336; H01L-021/20; H01L-021/8238;  
H01L-027/092

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components); 44.9  
(COMMUNICATION -- Other)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096  
(ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC  
MATERIALS -- Metal Oxide Semiconductors, MOS); R132  
(ELECTRONIC MATERIALS -- Electrostatic Induction Type  
Transistors, SIT)

#### ABSTRACT

PROBLEM TO BE SOLVED: To provide a high-performance semiconductor device  
and a high- performance semiconductor circuit which have an N-channel  
transistor and a P-channel transistor on an insulating substrate.

SOLUTION: This device and circuit have an N-channel transistor (NTFT) and a  
P-channel transistor (PTFT) in which active regions 103n, 103p are formed  
on a substrate 101 having an insulating surface by utilizing a silicon film  
having a crystallinity, and the PTFT contains a fixed quantity of a  
catalyst element for promoting the crystallization of an amorphous silicon  
film in the active region 103p, and the concentration of the catalyst  
element of the active region 103n of the NTFT is made lower than the  
concentration of the active region 103p of the PTFT.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-92834

(43) 公開日 平成9年(1997)4月4日

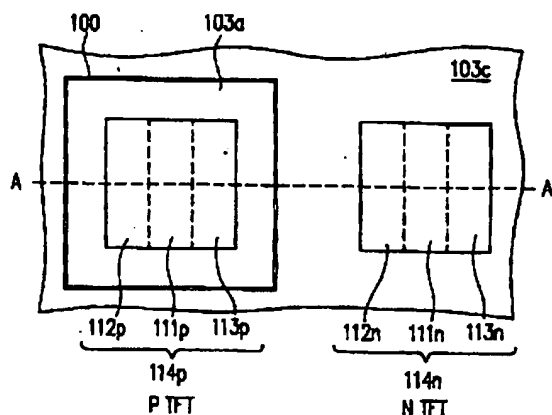
(51) Int. Cl. <sup>6</sup>	識別記号	F I			
H01L 29/786		H01L 29/78	627	G	
21/336		21/20			
21/20		27/08	321	C	
21/8238					
27/092					
審査請求 未請求 請求項の数16 O L (全15頁)					
(21) 出願番号	特願平7-243478	(71) 出願人	000005049		
(22) 出願日	平成7年(1995)9月21日		シャープ株式会社		
			大阪府大阪市阿倍野区長池町22番22号		
		(72) 発明者	牧田 直樹		
			大阪府大阪市阿倍野区長池町22番22号		
			シャープ株式会社内		
		(74) 代理人	弁理士 山本 秀策		

(54) 【発明の名称】 半導体回路、半導体装置およびそれらの製造方法

(57) 【要約】

【課題】 絶縁基板上にNチャネル型トランジスタとPチャネル型トランジスタとを有する高性能な半導体装置、半導体回路を提供する。

【解決手段】 結晶性を有するケイ素膜を利用して活性領域103n、103pが絶縁表面を有する基板101上に構成されたNチャネル型トランジスタ (NTFT) とPチャネル型トランジスタ (PTFT) とを有し、PTFTは、その活性領域103pに非晶質ケイ素膜の結晶化を助長する触媒元素を一定量含有しており、前記NTFTの活性領域103nの該触媒元素の濃度は、前記PTFTの活性領域103pの濃度よりも低いことを特徴とする。



## 【特許請求の範囲】

【請求項 1】 絶縁表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域を各々有する N チャネル型トランジスタと P チャネル型トランジスタとが相補的に構成された CMOS 構造の半導体回路であって、該 P チャネル型トランジスタは、該活性領域に非晶質ケイ素膜の結晶化を助長する触媒元素を含有しており、該 N チャネル型トランジスタの活性領域は、該触媒元素の濃度を該 P チャネル型トランジスタの活性領域の濃度よりも低くしてある半導体回路。

【請求項 2】 前記 P チャネル型トランジスタの活性領域中の前記触媒元素の濃度が、 $1 \times 10^{11}$  atoms/cm<sup>2</sup> ~  $1 \times 10^{12}$  atoms/cm<sup>2</sup> である請求項 1 に記載の半導体回路。

【請求項 3】 前記 P チャネル型トランジスタの活性領域中の前記触媒元素の濃度が、 $1 \times 10^{14}$  atoms/cm<sup>2</sup> ~  $1 \times 10^{15}$  atoms/cm<sup>2</sup> である請求項 1 に記載の半導体回路。

【請求項 4】 前記 N チャネル型トランジスタの活性領域中の前記触媒元素の濃度が、 $1 \times 10^{11}$  atoms/cm<sup>2</sup> 未満である請求項 1 乃至 3 のいずれか一つに記載の半導体回路。

【請求項 5】 前記触媒元素の濃度は、2 次イオン質量分析法によって、得られた最小値で定義される請求項 1 乃至 4 のいずれか一つに記載の半導体回路。

【請求項 6】 絶縁表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域を各々有する N チャネル型トランジスタと P チャネル型トランジスタとが形成された半導体回路であって、

該 P チャネル型トランジスタはその活性領域が 触媒元素により結晶化された結晶性ケイ素膜により形成されており、該 N チャネル型トランジスタはその活性領域が、触媒元素を使用しない固相結晶化過程により結晶化された結晶性ケイ素膜により形成されている半導体回路。

【請求項 7】 絶縁表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域を各々有する N チャネル型トランジスタと P チャネル型トランジスタとが形成された半導体回路であって、

該 P チャネル型トランジスタはその活性領域が 触媒元素により結晶化された結晶性ケイ素膜により形成されており、該 N チャネル型トランジスタはその活性領域がレーザー光または強光照射により結晶化された結晶性ケイ素膜により形成されている半導体回路。

【請求項 8】 前記触媒元素として、Ni、Co、Fe、Pd、Pt、Cu、Ag、Au、In、Sn、Al および Sb から選ばれた一種または複数種の元素が用いられた請求項 1 乃至 7 のいずれか一つに記載の半導体回路。

【請求項 9】 半導体回路を一部に備える半導体装置であって、該半導体回路が、請求項 1、2、3、4、5 お

よび 8 のいずれか一つに記載のものからなる半導体装置。

【請求項 10】 絶縁表面を有する基板上に非晶質ケイ素膜を形成する工程と、

該非晶質ケイ素膜に選択的に該非晶質ケイ素膜の結晶化を助長する触媒元素を導入する工程と、

加熱処理を施し、該触媒元素が導入された該非晶質ケイ素膜領域を結晶化させて結晶性ケイ素膜領域を得る工程と、

10 該結晶性ケイ素膜領域を利用して P チャネル型トランジスタを形成する工程と、

該結晶性ケイ素膜領域以外の領域を利用して N チャネル型トランジスタを形成する工程とを含む半導体回路の製造方法。

【請求項 11】 絶縁表面を有する基板上に非晶質ケイ素膜を形成する工程と、

該非晶質ケイ素膜に選択的に該非晶質ケイ素膜の結晶化を助長する触媒元素を導入する工程と、

加熱処理を施し、該触媒元素が導入された該非晶質ケイ素膜領域を結晶化させ、さらに結晶化させた非晶質ケイ素膜領域の周辺部に存在する該非晶質ケイ素膜を基板表面に対し概略平行な方向に結晶成長を行わせて結晶性ケイ素膜領域を得る工程と、

20 該結晶性ケイ素膜領域を利用して P チャネル型トランジスタを形成する工程と、

該触媒元素により結晶化されていない領域を利用して N チャネル型トランジスタを形成する工程とを含む半導体回路の製造方法。

【請求項 12】 前記加熱処理を施して前記結晶性ケイ素膜領域を得た後において、

さらに高い温度で加熱処理を施し、前記触媒元素による結晶化が及んでいない領域を核発生させて固相結晶化する工程と、

該加熱処理を施して得た該結晶性ケイ素膜領域を利用して P チャネル型トランジスタを形成する工程と、

該触媒元素による結晶化が及んでいない領域を核発生させ固相結晶化させた領域を利用して N チャネル型トランジスタを形成する工程とを含む請求項 10 または 11 に記載の半導体回路の製造方法。

40 【請求項 13】 前記加熱処理を施して前記結晶性ケイ素膜領域を得た後において、

レーザー光または強光を照射することにより、前記触媒元素による結晶化が及んでいない領域を結晶化する工程と、

該加熱処理を施して得た結晶性ケイ素膜領域を利用して、P チャネル型トランジスタを形成する工程と、

該触媒元素による結晶化が及んでいない領域にレーザー光または強光を照射して結晶化させた領域を利用して、N チャネル型トランジスタを形成する工程とを含む請求項 10 または 11 に記載の半導体回路の製造方法。

【請求項14】 前記触媒元素が導入された領域を選択的に結晶化させ、さらに該触媒元素による結晶化が及んでいない領域を自発的に核発生させ固相結晶化させた後において、

レーザー光または強光を照射することにより、各結晶化領域の結晶性を助長させる工程を含む請求項12に記載の半導体回路の製造方法。

【請求項15】 前記触媒元素として、Ni、Co、Fe、Pd、Pt、Cu、Ag、Au、In、Sn、AlおよびSbから選ばれた一種または複数種の元素を用いる請求項10乃至14のいずれか一つに記載の半導体回路の製造方法。

【請求項16】 半導体回路を一部に備える半導体装置の製造方法であって、

該半導体回路を、請求項10乃至15のいずれか一つに記載の製造方法により製造する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、たとえばアクティブマトリクス型液晶表示装置の駆動回路等、イメージセンサー等に応用可能なTFTを用いた薄膜集積回路、三次元ICなどの半導体装置に利用でき、絶縁表面を有する基板上に設けられたMOS型トランジスタ、特に薄膜トランジスタ(TFT)により構成された半導体回路およびその製造方法に関し、また、この半導体回路を備えた上記半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 近年、上述したアクティブマトリクス型液晶表示装置、高速で高解像度の密着型イメージセンサー、または三次元ICなどへの実現に向けて、ガラス等の絶縁基板上や、絶縁膜上に高性能な半導体素子を形成する試みがなされている。特に、アクティブマトリクス型液晶表示装置においては、その表示部たる画素を複数有するマトリクス部を駆動する半導体装置としての駆動回路を前記マトリクス部と共に同一基板上に形成するドライモノリシック技術の開発が盛んである。

【0003】 上記半導体装置に備わっている半導体回路の半導体層には、薄膜状のケイ素半導体を用いるのが一般的である。薄膜状のケイ素半導体としては、非晶質ケイ素半導体(a-Si)からなるものと、結晶性を有するケイ素半導体からなるものと2つに大別される。

【0004】 前者の非晶質ケイ素半導体は、作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられているが、導電性等の物性が後者の結晶性を有するケイ素半導体に比べて劣る。このため、今後より高速特性を得るためには、後者の結晶性を有するケイ素半導体からなる半導体回路の作製方法の確立が強く求められていた。尚、後者の結晶性を有するケイ素半導体としては、多結晶ケイ素、および微結晶ケイ素等が知られている。

【0005】 これらケイ素半導体を得る方法としては、以下の3つの方法が知られている。

(1) 第1の方法は、成膜時に結晶性を有する膜を直接成膜する方法である。

【0006】 (2) 第2の方法は、非晶質の半導体膜を成膜しておき、レーザー光のエネルギーにより結晶性を有せしめる方法である。

【0007】 (3) 第3の方法は、非晶質の半導体膜を成膜しておき、熱エネルギーを加えることにより結晶性を有せしめる方法である。

【0008】 しかしながら、第1の方法では、成膜工程と同時に結晶化が進行するので、大粒径の結晶性ケイ素を得るにはケイ素膜の厚膜化が不可欠であり、良好な半導体物性を有する膜を基板上に全面に渡って均一に成膜することが技術上困難である。また成膜温度が600℃以上と高いので、ガラス至点の低い安価なガラス基板が使用できないというコストの問題があった。

【0009】 このため、現在は、第2および第3の方法を中心とした研究開発が盛んである。第2の方法は、例えば特開平6-252398号公報に記載されているように、波長308nmのXeClエキシマレーザー光などを非晶質ケイ素膜に照射し、ガラス基板にダメージを与えることなく、短時間でケイ素膜のみを短時間で熔融させ、その固化過程において結晶化させる方法である。特に、特開平6-252398号公報では、NチャネルTFTとPチャネルTFTとで照射レーザーエネルギーの最適値が異なることに注目し、それぞれのTFTに対してレーザー照射工程を分離することにより、NチャネルTFT、PチャネルTFTともに最適エネルギーで照射するようにしている。すなわち、片チャネルTFTの領域をマスクした状態でもう一方のTFTを照射する訳であり、それぞれのTFTに対して各1回のレーザー照射工程を有する。

【0010】 第3の方法は、第1、第2の方法と比較すると、大面積基板への対応が容易という利点はある。しかし、結晶化に際し600℃以上の高温にて数十時間にわたる加熱処理が必要である。すなわち、安価なガラス基板の使用とスループットの向上を考えると、加熱温度を下げ、さらに短時間で結晶化させるという相反する問題点を同時に解決する必要がある。

【0011】 この第3の方法を利用して、前述の加熱処理の問題点を解決する方法が、特開平6-244103号および特開平6-244104号で提案されている。これらの提案方法では、非晶質ケイ素膜の結晶化を助長する触媒元素を利用することで、加熱温度の低温化および処理時間の短縮を図っている。具体的には、非晶質ケイ素膜の表面にニッケルやパラジウム、さらには鉛等の金属元素を微量に導入させ、しかる後に加熱することで、550℃、4時間程度の処理時間で結晶化を終了させている。現在、アクティブマトリクス型の液晶表示装

置に用いられる、コーニング社製の7059ガラスは、ガラス歪点が593℃であり、基板の面積化を考慮した場合、前記特開平6-244103号で述べられている方法は非常に有効であると言える。

【0012】この低温結晶化のメカニズムは、まず金属元素を核とした結晶核発生が早期に起こり、その後その金属元素が触媒となって結晶成長を助長し、結晶化が急激に進行することで理解される。そういった意味で、以後これらの金属元素を触媒元素と呼ぶ。これら触媒元素の使用により結晶化が助長されて結晶成長した結晶性ケイ素膜は、通常の固相成長法で結晶化した非晶質ケイ素膜が双晶構造であるのに対して、何本もの柱状結晶で構成されており、それぞれの柱状結晶内部は理想的な単結晶状態となっている。

【0013】さらに、前記特開平6-244104号では、非晶質ケイ素膜の一部に選択的に触媒元素を導入して加熱することで、他の部分を非晶質ケイ素膜の状態として残したまま、選択的に触媒元素が導入された領域のみを結晶化し、そして、さらに加熱時間を延長することで、その導入領域から横方向（基板と平行な方向）に結晶成長を行わせている。この横方向結晶成長領域の内部では、成長方向がほぼ一方に揃った柱状結晶がひしめき合っており、触媒元素が直接導入されてランダムに結晶核の発生が起こった領域に比べて、結晶性が良好な領域となっている。よって、この横方向結晶成長領域の結晶性ケイ素膜を半導体素子の活性領域に用いることにより、半導体素子の高性能化が行える。

【0014】

【発明が解決しようとする課題】以上述べたように、従来において様々な結晶性ケイ素膜の作製法が考案され、研究されているが、残念ながら今のところ、全ての要求を満たすことはできていない。例えば、ドライバモノリシック型のアクティブマトリクス液晶表示装置において、その駆動回路をNチャネル型TFTのみの単チャネル構成とした場合には、消費電力およびそれに伴う発熱量が多くなる。よって、消費電力、発熱量の低減策として、駆動回路のCMOS化が有効となる。

【0015】しかしながら、CMOS回路を構成するPチャネル型TFTとNチャネル型TFTとは、Pチャネル型TFTがNチャネル型TFTに比べて圧倒的に性能が劣る。また、半導体基板で構成されるMOS型トランジスタに比べ、TFTではそのチャネル領域が不完全な結晶性ケイ素膜であるため、Nチャネル型トランジスタとPチャネル型トランジスタとの性能差はさらに顕著になる。特に差が顕著であり、問題となるのは、電界効果移動度と閾値電圧についてである。従来、同一素材のチャネル層で構成した場合、Pチャネル型TFTは、Nチャネル型TFTの約1/3程度の電界効果移動度しか達成することはできなかった。また、閾値電圧については、Nチャネル型TFTが2V~3V程度で安定してい

るにもかかわらず、Pチャネル型TFTでは、-7V~-12Vと絶対値として極めて大きく、安定していないのが通例であった。

【0016】このような場合に半導体回路としてどのような問題が生じるか、最も簡単なCMOS構造回路であるインバーターを例にとりて考えてみる。図8にその回路図を示す。入力端子803に高出力信号（H信号）を入力すると、Nチャネル型TFT801がON状態となり、グランド806からの低出力信号（L信号）が、出力端子804から出力される。また、入力端子803にL信号を入力した場合には、Pチャネル型TFT802がON状態となり、 $V_{DD}$ 805からのH信号が、出力端子804から出力される。

【0017】次に、一般的なNチャネル型TFTとPチャネル型TFTにおける、ゲート電圧（ $V_G$ ）対ドレイン電流（ $I_D$ ）特性を図9（A）及び（B）に示す。縦軸の $I_D$ はLogスケールで表されている。図9（A）に示されているNチャネル型TFT特性の閾値電圧（ $V_{TH}$ ）は2V程度であり、図9（B）に示されているPチャネル型TFTの $V_{TH}$ は-8V程度である。特に、注目したいのはそれぞれのTFTで見られる $V_G$ がOFF領域での $I_D$ の跳ね上がりである。この跳ね上がりの起こる理由は、TFTのチャネル層は、不完全な結晶性ケイ素膜であるため、 $V_G$ がOFF電圧となり、ドレイン端の接合部にその電圧が集中したとき、その結晶欠陥（トラップ準位）を介したキャリアのトンネリングが生じることで起こると理解されている。したがって、このOFF領域でのリーク電流の増大は、絶縁基板上に結晶性ケイ素膜でチャネル層が構成されるTFTでは、ある程度必然的なものである。

【0018】そして、仮に、図9（A）、（B）のTFT特性を有するNチャネル型およびPチャネル型TFTで図8のインバーターを構成したとする。TFTを駆動するためのゲート電圧、すなわち入力端子803への入力電圧において、Nチャネル型TFTを駆動する電圧（ $V_N$ ）と、Pチャネル型TFTを駆動する電圧（ $V_P$ ）とはそれぞれ下記の式で与えられる。但し、（N）はNチャネル型TFT側を示し、（P）はPチャネル型TFT側を示す。

【0019】

$V_N = V_{TH}(N) + V_{0.1} \text{ マージン}(N) + \Delta V_{TH}(N)$   
 $V_P = V_{TH}(P) - V_{0.1} \text{ マージン}(P) - \Delta V_{TH}(P)$   
 ここで、TFT間の $V_{TH}$ のばらつきを示す $\Delta V_{TH}$ は、Nチャネル型で1V、P型で3Vとし、 $V_{0.1}$  マージンをNチャネル型、Pチャネル型ともに3Vとすると、 $V_N$ は6V、 $V_P$ においては-14Vと非常に大きな値となる。よって、図9のようなTFT特性をもつ従来のCMOS型TFTにより作製されたインバーターは、Pチャネル型TFTの特性不良による大きな $V_P$ により、消費電力が引き上げられ、CMOS化したメリットが薄れるだけ

でなく、 $V_i$ が入力端子803に入力された際、Nチャネル型TFT801のゲート電極には大きな負電圧が加わるため、リーク電流が増大することになる。また、上述の回路では電界効果移動度については考察しなかったが、Pチャネル型TFTの電界効果移動度が十分でない場合には、高周波においてTFT自体のスピードが追いつかないため、高周波数駆動ができなくなるといった問題点が生じる。

【0020】さて、前述した特開平6-252398号公報では、レーザーアニール法にて、NチャネルTFTとPチャネルTFTで最適な照射エネルギーを異ならせて、別々に結晶化しているが、Pチャネル型TFTを大きく高性能化できるものではなく、この技術だけでは十分な特性のCMOS回路を得ることはできない。なぜなら、この特開平6-252398号公報では、TFTの特性として電界効果移動度のみに注目しており、そのマキシマム値からレーザーの照射エネルギーを設定しているからである。また、そのマキシマム値がPチャネル型TFTとNチャネル型TFTとで異なることから、それぞれ別々のレーザーアニール工程が必要になるという論法であるが、もう一つの大きなポイントであるPチャネルTFTの閾値電圧の低減については全く考慮されていないからである。加えて、本願発明者らが行った実験では、レーザーアニールのパワーをある程度変化させた場合、TFTの電界効果移動度は大きく変化するが、閾値電圧はほとんど変化しないという結果を得ている。この結果から理解されるように、上記の特開平6-252398号公報は、電界効果移動度においてNチャネル型TFTと、Pチャネル型TFTをそれぞれ最適化するもので、全ての面において、より高性能なCMOS構成の半導体回路を目指すものではない。

【0021】本発明は、このような従来技術の課題を解決すべくなされたものであり、安価なガラス基板の使用およびスループットの向上を図れ、Nチャネル型TFTのオフ特性を損なうことなく、Pチャネル型TFTの性能を飛躍的に向上できる半導体回路、半導体装置およびそれらの製造方法を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明の半導体回路は、絶縁表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域を各々有するNチャネル型トランジスタとPチャネル型トランジスタとが相補型に構成されたCMOS構造の半導体回路であって、該Pチャネル型トランジスタは、該活性領域に非晶質ケイ素膜の結晶化を助長する触媒元素を含有しており、該Nチャネル型トランジスタの活性領域は、該触媒元素の濃度を該Pチャネル型トランジスタの活性領域の濃度よりも低くしてあり、そのことにより上記目的が達成される。

【0023】本発明の半導体回路において、前記Pチャネル型トランジスタの活性領域中の前記触媒元素の濃度

が、 $1 \times 10^{11} \text{ atoms/cm}^2 \sim 1 \times 10^{12} \text{ atoms/cm}^2$ である構成とすることができる。

【0024】本発明の半導体回路において、前記Pチャネル型トランジスタの活性領域中の前記触媒元素の濃度が、 $1 \times 10^{11} \text{ atoms/cm}^2 \sim 1 \times 10^{12} \text{ atoms/cm}^2$ である構成とすることができる。

【0025】本発明の半導体回路において、前記Nチャネル型トランジスタの活性領域中の前記触媒元素の濃度が、 $1 \times 10^{11} \text{ atoms/cm}^2$ 未満である構成とすることができる。

【0026】前記触媒元素の濃度は、2次イオン質量分析法によって、得られた最小値で定義される。

【0027】本発明の半導体回路は、絶縁表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域を各々有するNチャネル型トランジスタとPチャネル型トランジスタとが形成された半導体回路であって、該Pチャネル型トランジスタはその活性領域が触媒元素により結晶化された結晶性ケイ素膜により形成されており、該Nチャネル型トランジスタはその活性領域が、触媒元素を使用しない固相結晶化過程により結晶化された結晶性ケイ素膜により形成され、そのことにより上記目的が達成される。

【0028】本発明の半導体回路は、絶縁表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域を各々有するNチャネル型トランジスタとPチャネル型トランジスタとが形成された半導体回路であって、該Pチャネル型トランジスタはその活性領域が触媒元素により結晶化された結晶性ケイ素膜により形成されており、該Nチャネル型トランジスタはその活性領域がレーザー光または強光照射により結晶化された結晶性ケイ素膜により形成され、そのことにより上記目的が達成される。

【0029】前記触媒元素として、Ni、Co、Fe、Pd、Pt、Cu、Ag、Au、In、Sn、AlおよびSbから選ばれた一種または複数種の元素が用いられる。本発明の半導体装置は、半導体回路を一部に備える半導体装置であって、該半導体回路が、上記のいずれか一つに記載のものからなり、そのことにより上記目的が達成される。

【0030】本発明の半導体回路の製造方法は、絶縁表面を有する基板上に非晶質ケイ素膜を形成する工程と、該非晶質ケイ素膜に選択的に該非晶質ケイ素膜の結晶化を助長する触媒元素を導入する工程と、加熱処理を施し、該触媒元素が導入された該非晶質ケイ素膜領域を結晶化させて結晶性ケイ素膜領域を得る工程と、該結晶性ケイ素膜領域を利用してPチャネル型トランジスタを形成する工程と、該結晶性ケイ素膜領域以外の領域を利用してNチャネル型トランジスタを形成する工程とを含み、そのことにより上記目的が達成される。

【0031】本発明の半導体回路の製造方法は、絶縁表面を有する基板上に非晶質ケイ素膜を形成する工程と、

該非晶質ケイ素膜に選択的に該非晶質ケイ素膜の結晶化を助長する触媒元素を導入する工程と、加熱処理を施し、該触媒元素が導入された該非晶質ケイ素膜領域を結晶化させ、さらに結晶化させた非晶質ケイ素膜領域の周辺部に存在する該非晶質ケイ素膜を基板表面に対し概略平行な方向に結晶成長を行わせて結晶性ケイ素膜領域を得る工程と、該結晶性ケイ素膜領域を利用してPチャネル型トランジスタを形成する工程と、該触媒元素により結晶化されていない領域を利用してNチャネル型トランジスタを形成する工程とを含む、そのことにより上記目的が達成される。

【0032】本発明の半導体回路の製造方法において、前記加熱処理を施して前記結晶性ケイ素膜領域を得た後において、さらに高い温度で加熱処理を施し、前記触媒元素による結晶化が及んでいない領域を核発生させて固相結晶化する工程と、該加熱処理を施して得た該結晶性ケイ素膜領域を利用してPチャネル型トランジスタを形成する工程と、該触媒元素による結晶化が及んでいない領域を核発生させ固相結晶化させた領域を利用してNチャネル型トランジスタを形成する工程とを含むようにしてもよい。

【0033】本発明の半導体回路の製造方法において、前記加熱処理を施して前記結晶性ケイ素膜領域を得た後において、レーザー光または強光を照射することにより、前記触媒元素による結晶化が及んでいない領域を結晶化する工程と、該加熱処理を施して得た結晶性ケイ素膜領域を利用して、Pチャネル型トランジスタを形成する工程と、該触媒元素による結晶化が及んでいない領域にレーザー光または強光を照射して結晶化させた領域を利用して、Nチャネル型トランジスタを形成する工程とを含むようにしてもよい。

【0034】本発明の半導体回路の製造方法において、前記触媒元素が導入された領域を選択的に結晶化させ、さらに該触媒元素による結晶化が及んでいない領域を自発的に核発生させ固相結晶化させた後において、レーザー光または強光を照射することにより、各結晶化領域の結晶性を助長させる工程を含むようにしてもよい。

【0035】前記触媒元素として、Ni、Co、Fe、Pd、Pt、Cu、Ag、Au、In、Sn、AlおよびSbから選ばれた一種または複数種の元素を用いることができる。

【0036】本発明の半導体装置の製造方法は、半導体回路を一部に備える半導体装置の製造方法であって、該半導体回路を、上記のいずれか一つの製造方法により製造するので、そのことにより上記目的が達成される。

【0037】以下に、本発明の作用について説明する。

【0038】本発明では、絶縁基板上にNチャネル型トランジスタとPチャネル型トランジスタとを有する半導体装置、または半導体回路において、Pチャネル型トランジスタの活性領域に非晶質ケイ素膜の結晶化を助長す

る触媒元素を一定量含み、前記Nチャネル型トランジスタの活性領域の該触媒元素の濃度は、前記Pチャネル型トランジスタの活性領域の濃度よりも低いことを特徴とする。

【0039】本願発明者らは、特開平6-244103号公報および特開平6-244104号公報で提案されている非晶質ケイ素膜の結晶化技術に注目し、研究を進めた結果、Nチャネル型TFTとPチャネル型TFTとにおいて、その効果は大きく異なることを見出した。

【0040】図7に本願発明者らが作製し、測定したTFTの $V_G-I_D$ 特性を示す。図7(A)はNチャネル型TFTのものであり、図7(B)はPチャネル型TFTのものである。図7において、実線は、触媒元素を用いて結晶化された結晶性ケイ素膜によりその活性領域が形成されているものであり、破線は、触媒元素を用いず通常の固相成長法により結晶化したものである。両者とも固相状態で結晶化後、エキシマレーザー光を低パワーにて全面に照射し、その結晶性を助長してある。縦軸の $I_D$ はLogスケールで表されている。

【0041】図7(A)のNチャネル型TFTにおいて、破線で示される通常工程のTFTは、触媒元素による結晶化を取り入れることにより実線で示されるような特性曲線にシフトする。具体的には、電界効果移動度が $120\text{ cm}^2/\text{Vs}$ 程度から $140\text{ cm}^2/\text{Vs}$ 程度に向上し、 $V_{TH}$ が $2\text{ V}\sim 3\text{ V}$ から $1\text{ V}\sim 2\text{ V}$ に低減されている。しかしながら、 $V_G$ が負電圧、すなわちN型TFTオフ電圧での $I_D$ の跳ね上がりは、触媒元素を用いた場合の方が増大する傾向にある。

【0042】これに対して、図7(B)のPチャネル型TFTでは、通常の固相結晶化工程により作製されたTFTに比べ、触媒元素を用いて結晶化させたものは、飛躍的にそのオン特性が向上する。具体的には、電界効果移動度が $40\text{ cm}^2/\text{Vs}$ 程度から $90\text{ cm}^2/\text{Vs}$ 程度に向上し、 $V_{TH}$ が $-8\text{ V}\sim -10\text{ V}$ 程度から $-3\text{ V}\sim -4\text{ V}$ に低減される。Nチャネル型TFTに比べ、Pチャネル型TFTの効果非常に大きい理由は、未だ定かではないが、触媒元素により結晶化されたケイ素膜の結晶中の応力が他の結晶化法に比べて小さい点や、その結晶方位が(110)優勢になっていることなどが、電子よりもむしろホールに対して優位に働いているのではないかと考えている。但し、Pチャネル型TFTにおいても、オフ特性はNチャネル型TFTと同様、悪化傾向にある。

【0043】特開平6-244103号公報および特開平6-244104号公報で提案されている技術を用いた場合の最大の問題点は、TFTのオフ領域でのリーク電流の増大である。この理由は、結晶化後に残留して結晶粒界に偏在している、結晶性ケイ素膜中に残留する触媒元素の影響による。特に、ニッケルやパラジウムなど、非晶質ケイ素膜の結晶化を促す触媒として効率よく

作用する元素は、ケイ素中においてバンドギャップ中央付近に不純物準位を形成する。したがって、TFTにおいては、これらの触媒元素の影響としてオフ領域でのリーク電流の増大現象が現れる。

【0044】本発明では、基板上に複数個のTFTを有する半導体装置および半導体回路において、すべてのTFTに対して触媒元素を導入して結晶化せず、特にPチャネル型TFTに対してのみ積極的に触媒元素による結晶化を行う。よって、Nチャネル型TFTに対しては、従来法を用いた結晶化工程により得られるTFTのオン特性で十分なものとし、そのオフ特性は犠牲にせず、Pチャネル型TFTのみオフ特性をある程度犠牲にして、オン特性を向上する。この結果、問題となっていたPチャネル型TFTの $V_{th}$ は低下し、電界効果移動度は向上して、これにより得られるCMOS回路は、高周波駆動が可能となり、低駆動電圧、低消費電力が実現される。

【0045】本発明において、TFTオフ領域でのリーク電流は、触媒元素を用いたPチャネルTFTで増加するが、例えば図8のインバーターを駆動する際には、NチャネルTFTの $V_{th}$ が低いいため $V_{th}$ はそれほど大きくなく、PチャネルTFTに対して大きなオフ電圧を加える必要がない。よって、実際の使用上においては、Pチャネル型TFTのリーク電流は大きな問題とならない。TFTオフ領域のリーク電流において、問題となるのは、むしろNチャネル型TFTの方で、Pチャネル型TFTの $V_{th}$ が大きな分、図8のインバーターを駆動する $V_{in}$ は、マイナス側に大きな値となり、そのときにNチャネルTFTに印加されるオフ電圧も大きくなる。よって、NチャネルTFTにおいては、PチャネルTFT以上に、TFTオフ領域でのリーク電流の増大、特に $V_{in} - I_{th}$ 特性上でのリーク電流の跳ね上がりを防ぐ必要がある。したがって、Nチャネル型TFTおよびPチャネル型TFTの両方を触媒元素により結晶化された結晶性ケイ素膜で構成すると、Nチャネル型TFTにおいてリーク電流増大の問題が生じ、高性能なCMOS回路は得られない。

【0046】本発明は、以上述べたようにNチャネル型TFTとPチャネル型TFTとを有する半導体回路または半導体装置の中でも特に、インバーターなどのCMOS構成の回路において有効である。TFT活性領域中での触媒元素の濃度は、2次イオン質量分析法によって得られた最小値で定義されるものとして、Pチャネル型TFTで $1 \times 10^{11} \text{ atoms/cm}^2 \sim 1 \times 10^{12} \text{ atoms/cm}^2$ であれば、触媒元素がその出発物質である非晶質ケイ素膜の結晶化を助長するように作用する。最も触媒元素が効率よく作用する活性領域中の膜中濃度としては、上記の範囲の中でも特に $1 \times 10^{11} \text{ atoms/cm}^2 \sim 1 \times 10^{12} \text{ atoms/cm}^2$ であり、本発明においては、Pチャネル型TFTの活性領域中の触媒元素濃度がこの範囲内であることが最も望ましい。逆

に、TFTの活性領域中の触媒元素濃度が、 $1 \times 10^{11} \text{ atoms/cm}^2$ 未満であれば、触媒元素が作用せず、TFT特性においても触媒元素が原因となるオフ領域でリーク電流増大などの影響がなくなる。よって、本発明においては、Nチャネル型TFTの活性領域中の触媒元素濃度として、 $1 \times 10^{11} \text{ atoms/cm}^2$ 未満であることが望ましい。

【0047】本発明において、Pチャネル型TFTは、前記触媒元素により結晶化された結晶性ケイ素膜によりその活性領域が形成されていることがポイントである。それに対して、Nチャネル型トランジスタは、触媒元素によらない自然な固相結晶化過程により結晶化された結晶性ケイ素膜によりその活性領域を形成することが、プロセス簡略化、および基板上における複数のTFTの均一性において有効である。この場合には、触媒元素を選択的に導入して加熱処理により選択的に結晶化した後、さらに加熱処理を継続することで、その他の領域で自発的に核発生させ固相結晶化する。その後、レーザー光あるいは強光を基板全面に照射し、各結晶化領域の結晶性を助長させることは、TFTオン特性向上において特に有効である。

【0048】また、本発明において、Nチャネル型TFTの活性領域を、レーザー光あるいは強光の照射により結晶化された結晶性ケイ素膜で形成することは、プロセス短縮化、およびスループット向上において有効である。すなわち、触媒元素を選択的に導入し加熱処理により選択的に結晶化した後、基板全面にレーザー光あるいは強光を照射することで、非晶質状態に残っている領域は結晶化され、先に触媒元素により結晶化された領域は、その結晶性が助長される。よって、先に述べた結晶化と結晶性助長の2つの工程を、一つの工程で行うことができる訳である。さらに、Pチャネル型TFTを形成する領域として、直接触媒元素が導入された領域ではなく、その導入領域をシードとし、その周辺部で横方向（基板と平行な方向）に結晶成長が行われた領域を使用することで、さらに高性能化を図ることができる。この理由は前述したように、前記導入領域ではランダムに結晶成長が行われているのに対して、その周辺部は成長方向が一次元的に揃った非常に高品質な結晶性ケイ素膜で構成されているからである。

【0049】本発明においては、触媒元素としてNiを用いた場合に最も顕著な効果を得ることができるが、その他利用できる触媒元素の種類としては、Co、Fe、Pd、Pt、Cu、Ag、Au、In、Sn、Al、またはSbを利用することができる。これらから選ばれた一種または複数種類の元素であれば、結晶化助長の効果がある。

【0050】

【発明の実施の形態】以下に、本発明の実施形態につき具体的に説明する。

【0051】〔第1の実施形態〕本発明を用いた第1の実施形態について説明する。本実施形態では、アクティブマトリクス型の液晶表示装置の周辺駆動回路や、一般の薄膜集積回路の一部を構成する、Nチャネル型TFTとPチャネル型TFTとを相補型に構成したCMOS構造の半導体回路をガラス基板上に作製する工程について、説明を行う。

【0052】以下において、図1に示すのが、本実施形態で説明するTFTの作製工程の概要を示す平面図である。図2は、図1のA-A'で切った断面図であり、

(A)→(F)の順にしたがって工程が順次進行する。

【0053】まず、図2(A)に示すように、ガラス基板101上に、例えばスパッタリング法によって厚さ300nm程度の酸化ケイ素からなる下地膜102を形成する。この酸化ケイ素膜は、ガラス基板からの不純物の拡散を防ぐために設けられる。次に、減圧CVD法あるいはプラズマCVD法によって、厚さ25~100nm、例えば80nmの真性(I型)の非晶質ケイ素膜(a-Si膜)103を成膜する。

【0054】次に、a-Si膜103上に酸化ケイ素膜を形成し、所定の領域100にスルーホールを開口して、マスク膜104とする。マスク膜104のスルーホールにより、つまり領域100において、a-Si膜103が露呈される。即ち、図2(A)の状態を上面から見ると、図1のように領域100でa-Si膜103が露呈しており、他の部分は酸化ケイ素膜104によりマスクされている状態となっている。

【0055】次に、図2(A)に示すように、a-Si膜103表面にニッケルを溶かした水溶液105が接するように基板101を保持する。本実施形態では、溶質としては酢酸ニッケルを用い、水溶液中のニッケル濃度は10ppmとなるようにした。その後、スピナーにより水溶液105を基板101上に均一に延ばし乾燥させる。

【0056】次に、これを水素還元雰囲気下または不活性雰囲気下において、加熱温度520℃~580℃で数時間から数十時間、例えば550℃で4時間アニールして結晶化させる。この際、表面に塗布されたニッケルが核となり、基板101に対して垂直方向に非晶質ケイ素膜103の結晶化が起こり、図2(B)に示すように、結晶性ケイ素膜103aが選択的に形成される。このとき、マスク膜104によりマスクされ、ニッケル水溶液105と接触していない領域のa-Si膜103は結晶化されず、a-Si領域103cとして残る。また、表面に塗布されたニッケルは、結晶性ケイ素膜103aの全体に拡散しており、2次イオン質量分析法(SIMS)により測定された、結晶性ケイ素膜103a中のニッケル濃度は、 $5 \times 10^{11}$  atoms/cm<sup>2</sup>程度であった。

【0057】次に、マスク膜104を除去した後、図2

(C)に示すようにレーザー光107を基板全面に照射する。これにより、a-Si領域103cが結晶化されて結晶性ケイ素領域となると共に、結晶性ケイ素領域103aの結晶性がさらに助長される。このときのレーザー光としては、XeClエキシマレーザー(波長308nm、パルス幅40nsec)を用いた。レーザー光の照射条件は、照射時に基板を150~450℃、例えば400℃に加熱し、エネルギー密度200mJ/cm<sup>2</sup>~400mJ/cm<sup>2</sup>、例えば250mJ/cm<sup>2</sup>で照射した。

【0058】続いて、図2(D)に示すように、不要な部分の結晶性ケイ素膜を除去して素子間分離を行い、後にTFTの活性領域(ソース/ドレイン領域、チャネル領域)となる島状の結晶性ケイ素膜103nおよび103pを形成する。ここで、結晶性ケイ素膜103nはレーザー光照射のみで結晶化されたものであり、結晶性ケイ素膜103pは、ニッケルの触媒作用により低温で固相結晶化され、レーザー光照射によりその結晶性が助長された結晶性ケイ素膜となっている。

【0059】次に、上記の活性領域となる結晶性ケイ素膜103nおよび103pを覆うように厚さ20nm~150nm、ここでは100nmの酸化ケイ素膜をゲート絶縁膜108として成膜する。酸化ケイ素膜の形成には、ここではTEOS(Tetra Ethoxy Ortho Silicate)を原料とし、酸素とともに基板温度150℃~600℃、好ましくは300℃~400℃で、RFプラズマCVD法により分解・堆積した。あるいはTEOSを原料としてオゾンガスとともに減圧CVD法もしくは常圧CVD法によって、基板温度を350℃~600℃、好ましくは400℃~550℃として形成してもよい。続いて、成膜後、ゲート絶縁膜108自身のバルク特性および結晶性ケイ素膜とゲート絶縁膜108との界面特性を向上するために、不活性ガス雰囲気下で400℃~600℃で30分~60分アニールを行った。

【0060】引き続き、スパッタリング法によって、厚さ400nm~800nm、例えば600nmのアルミニウムを成膜する。そして、アルミニウム膜をパターニングして、ゲート電極109n、109pを形成する。さらに、このアルミニウムからなるゲート電極109n、109pの表面を陽極酸化して、表面に酸化物質110n、110pを形成する。この状態が図2(E)に相当する。陽極酸化は、酒石酸が1~5%含まれたエチレングリコール溶液で行い、最初一定電流で220Vまで電圧を上げ、その状態で1時間保持して終了させる。得られた酸化物質110n、110pの厚さは200nmである。なお、この酸化物質110n、110pは、後のイオンドーピング工程において、オフセットゲート領域を形成する厚さとなるので、オフセットゲート領域の長さを上記陽極酸化工程で決めることができる。

【0061】次に、イオンドーピング法によって、ゲート電極109n、109pとその周囲の酸化物層110n、110pをマスクとして、結晶性ケイ素膜103n、103pに不純物（リン、およびホウ素）を注入する。ドーピングガスとして、フォスフィン（ $\text{PH}_3$ ）およびジボラン（ $\text{B}_2\text{H}_6$ ）を用い、前者の場合は、加速電圧を60kV～90kV、例えば80kV、後者の場合は、40kV～80kV、例えば65kVとし、ドーズ量は $1 \times 10^{11} \text{ cm}^{-2} \sim 8 \times 10^{11} \text{ cm}^{-2}$ 、例えばリンを $2 \times 10^{11} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{11} \text{ cm}^{-2}$ とする。この工程により、ゲート電極109n、酸化物層110nあるいはゲート電極109p、酸化物層110pにマスクされて不純物が注入されない領域は、それぞれ後にTFTのチャネル領域111n、111pとなる。ドーピングに際しては、ドーピングが不要な領域をフォトリソで覆うことによって、それぞれの元素を選択的にドーピングを行う。すなわち、リンのドーピングに際しては、後にpチャネル型TFTとなる活性領域114pをフォトリソでマスクし、逆にホウ素のドーピングに際してはNチャネル型TFTの活性領域114nをマスクする。この結果、N型の不純物領域112nと113n、P型の不純物領域112pと113pが形成され、図1に示すようにNチャネル型TFT（NTFT）とPチャネル型TFT（PTFT）とを形成することができる。

【0062】その後、図2（E）に示すように、レーザー光115の照射によってアニールを行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善させる。この際、使用するレーザーとしてはXeClエキシマレーザー（波長308nm、パルス幅40nsec）を用い、エネルギー密度 $150 \text{ mJ/cm}^2 \sim 400 \text{ mJ/cm}^2$ 、好ましくは $200 \text{ mJ/cm}^2 \sim 250 \text{ mJ/cm}^2$ で照射を行った。こうして形成されたN型不純物（リン）領域112n、113nのシート抵抗は $200 \Omega/\text{cm}^2 \sim 400 \Omega/\text{cm}^2$ 、P型不純物（ホウ素）領域112p、113pのシート抵抗は $500 \Omega/\text{cm}^2 \sim 800 \Omega/\text{cm}^2$ であった。

【0063】続いて、厚さ600nm程度の酸化ケイ素膜あるいは窒化ケイ素膜を層間絶縁膜116として形成する。酸化ケイ素膜を用いる場合には、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。また、 $\text{SiH}_4$ と $\text{NH}_3$ とを原料ガスとしてプラズマCVD法で成膜された窒化ケイ素膜を用いれば、活性領域とゲート絶縁膜との界面へ水素原子を供給し、TFT特性を劣化させる不対結合手を低減する効果がある。

【0064】次に、層間絶縁膜116にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミ

ニウムとの二層膜によってTFTの電極・配線117、118、119を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。

【0065】そして、最後に、1気圧の水素雰囲気中で350℃、30分のアニールを行い、図2（F）に示すTFTを完成させる。

【0066】以上の実施形態にしたがって作製したNTFTは、電界効果移動度（ $\mu$ ）が $80 \text{ cm}^2/\text{Vs} \sim 100 \text{ cm}^2/\text{Vs}$ 、閾値電圧（ $V_{th}$ ）が2V～3Vであり、TFTオフ領域でのリーク電流（ $I_{off}$ ）も数pA程度と小さい。また、PTFTにおいては、 $\mu$ が $60 \text{ cm}^2/\text{Vs} \sim 70 \text{ cm}^2/\text{Vs}$ 程度、 $V_{th}$ が-3V～-4Vであり、PTFTとしては良好な特性を示し、 $I_{off}$ は数十pA程度であった。よって、本実施形態ではPTFTの特性を主に引き上げることができ、ガラス基板上に形成されたTFTによるCMOS構造回路としては、特に優秀な特性をもつCMOS構造の半導体回路が得られた。

【0067】〔第2の実施形態〕本発明を用いた第2の実施形態について説明する。本実施形態においても、ガラス基板上に構成されたNTFTとPTFTによるCMOS構造の半導体回路についての説明を行う。

【0068】図3は、本実施形態で説明するTFTの作製工程の概要を示す平面図である。図4は、図3のB-B'で切った断面図であり、（A）→（E）の順にしたがって工程が順次進行する。

【0069】まず、図4（A）に示すように、ガラス基板201上に、例えばスパッタリング法によって厚さ100nm程度の酸化ケイ素からなる下地膜202を形成する。次に、減圧CVD法によって、厚さ25nm～100nm、例えば50nmの真性（I型）の非晶質ケイ素膜（a-Si膜）203を成膜する。

【0070】次に、a-Si膜203上に感光性樹脂（フォトリソ）を塗布し、露光・現像してマスク膜204とする。このマスク膜204のスルーホールにより、つまり領域200において、スリット状にa-Si膜203が露呈される。即ち、図4（A）の状態を上面から見ると、図3のように領域200でa-Si膜203が露呈しており、他の部分はフォトリソによりマスクされている状態となっている。

【0071】上記マスク204を設けた後、図4（A）に示すように、基板201表面にニッケル薄膜205を蒸着する。本実施形態では、蒸着ソースと基板間の距離を通常より大きくして、蒸着レートを低下させることで、ニッケル薄膜205の厚さが1nm～2nm程度となるように制御した。このときの基板201上におけるニッケル薄膜205の面密度を実際に測定すると、 $4 \times 10^{11} \text{ atoms/cm}^2$ 程度であった。

【0072】次に、図4（B）に示すように、マスク膜

204を除去することで、マスク膜204上のニッケル薄膜205がリフトオフされ、領域200のa-Si膜203において、選択的にニッケル薄膜205のニッケルの微量添加が行われたことになる。そして、これを不活性雰囲気下、例えば加熱温度550℃で16時間アニールして結晶化させる。

【0073】この際、領域200においては、a-Si膜203表面に添加されたニッケルを核として基板201に対して垂直方向にa-Si膜203の結晶化が起こり、結晶性ケイ素膜203aが形成される。そして、領域200の周辺領域では、図4(B)において、矢印206で示すように、領域200から横方向(基板と平行な方向)に結晶成長が行われ、横方向に結晶成長した結晶性ケイ素膜203bが形成される。また、それ以外のa-Si膜203の領域は、そのまま非晶質ケイ素膜領域203cとして残る。この横方向に結晶成長した結晶性ケイ素膜203b中のニッケル濃度は $8 \times 10^{14}$  atoms/cm<sup>2</sup>程度であった。なお、上記結晶成長に際し、矢印206で示される基板と平行な方向の結晶成長の距離は、80μm程度である。

【0074】次に、図4(B)に示すようにレーザー光207を基板全面に照射する。これにより、非晶質ケイ素領域203cが結晶化されると共に、結晶性ケイ素領域203bの結晶性がさらに助長される。このときのレーザー光としては、XeClエキシマレーザー(波長308nm、パルス幅40nsec)を用い、基板を400℃に加熱し、エネルギー密度250mJ/cm<sup>2</sup>で照射した。

【0075】その後、図4(C)に示すように、後にTFTの活性領域(素子領域)203n、203pとなる結晶性ケイ素膜を残し、それ以外の領域をエッチング除去して素子間分離を行う。ここで、結晶性ケイ素膜203nはレーザー光照射のみで結晶化されたものであり、結晶性ケイ素膜203pは、ニッケルの触媒作用により低温で方向制御されて固相結晶化し、レーザー光照射によりその結晶性が助長された結晶性ケイ素膜となっている。

【0076】次に、後で活性領域となる上記結晶性ケイ素膜203nおよび203pを覆うように厚さ100nmの酸化ケイ素膜をゲート絶縁膜208として成膜する。本実施形態では、ゲート絶縁膜208の成膜方法としてTEOSを原料とし、酸素とともに基板温度350℃で、RFプラズマCVD法により分解・堆積した。

【0077】引き続き、図4(D)に示すように、スパッタリング法によって厚さ400nm~800nm、例えば500nmのアルミニウム(0.1~2%のシリコンを含む)を成膜し、アルミニウム膜をパターニングして、ゲート電極209n、209pを形成する。

【0078】次に、イオンドーピング法によって、ゲート電極209n、209pをマスクとして結晶性ケイ素

膜203n、203pに不純物(リン、およびホウ素)を注入する。ドーピングガスとして、フォスフィン(PH<sub>3</sub>)およびジボラン(B<sub>2</sub>H<sub>6</sub>)を用い、第1実施形態と同様のドーピング条件にて行った。この工程により、ゲート電極209n、209pにマスクされ不純物が注入されない領域は、それぞれ後にTFTのチャネル領域211n、211pとなる。ドーピングに際しては、ドーピングが不要な領域をフォトレジストで覆うことによって、それぞれの元素を選択的にドーピングを行う。この結果、N型の不純物領域212nと213n、P型の不純物領域212pと213pが形成され、図3に示すようにNチャネル型TFT(NTFT)とPチャネル型TFT(PTFT)とを形成することができる。

【0079】その後、図4(D)に示すように、レーザー光215の照射によってアニールを行い、イオン注入した不純物の活性化を行う。レーザー光としては、XeClエキシマレーザー(波長308nm、パルス幅40nsec)を用い、レーザー光の照射条件としては、エネルギー密度250mJ/cm<sup>2</sup>で一か所につき20ショット照射した。

【0080】続いて、図4(E)に示すように、厚さ600nmの酸化ケイ素膜を層間絶縁膜216としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムとの二層膜によってTFTの電極・配線217、218、219を形成する。そして最後に、1気圧の水素雰囲気下で350℃、30分のアニールを行い、TFTを完成させる。

【0081】以上の実施形態にしたがって作製したCMOS構造回路において、NTFTのμは80cm<sup>2</sup>/Vs~100cm<sup>2</sup>/Vs、V<sub>th</sub>は2V~3Vであるのに対し、PTFTでは、μが80cm<sup>2</sup>/Vs~100cm<sup>2</sup>/VsとNTFTと同レベルに高く、V<sub>th</sub>は-3V~-4Vと非常に良好な特性を示す。また、TFTオフ領域でのリーク電流値は、NTFTの数pAに比べ、PTFTでは10pA程度であるが、第1の実施形態で述べた方法で作製した場合に比べて半分以下に低減されていた。

【0082】〔第3の実施形態〕本発明を用いた第3の実施形態について説明する。本実施形態においても、ガラス基板上に構成されたNTFTとPTFTとによるCMOS構造の半導体回路についての説明を行う。

【0083】図5は、本実施形態で説明するTFTの作製工程の概要を示す平面図である。図6は、図5のC-C'で切った断面図であり、(A)→(E)の順にしたがって工程が順次進行する。

【0084】まず、図5(A)に示すように、ガラス基板301上に厚さ300nm程度の酸化ケイ素からなる下地膜302を形成する。

【0085】次に、プラズマCVD法によって、厚さ2

10

20

30

40

50

5 nm~100 nm、例えば50 nmの真性(I型)の非晶質ケイ素膜(a-Si膜)303を成膜する。

【0086】次に、a-Si膜303上に感光性樹脂(フォトレジスト)を塗布し、露光・現像してマスク膜304とする。マスク膜304のスルーホールにより、領域300において、スリット状にa-Si膜303が露呈される。即ち、図6(A)の状態を上面から見ると、図5のように領域300でa-Si膜303が露呈しており、他の部分はフォトレジストによりマスクされている状態となっている。上記マスク304を設けた後、図6(A)に示すように、基板301表面に厚さ1 nm~2 nm程度のニッケル薄膜305を蒸着する。その後、図6(B)に示すように、マスク膜304を除去することで、マスク膜304上のニッケル薄膜305がリフトオフされ、領域300のa-Si膜303において、選択的にニッケル薄膜305のニッケルの微量添加が行われたことになる。そして、これを不活性雰囲気下、加熱温度600℃で20時間アニールして結晶化させる。

【0087】この際、領域300においては、a-Si膜303表面に添加されたニッケルを核としてa-Si膜303の結晶化が起こり、結晶性ケイ素膜303aが形成される。そして、領域300の周辺領域では、図6(B)において、矢印306で示すように、領域300から横方向(基板と平行な方向)に結晶成長が行われ、横方向に結晶成長した結晶性ケイ素膜303bが形成される。加熱温度600℃においては、横方向に結晶成長が及ばないそれ以外のa-Si膜303の領域で、ニッケルによらない自然な核発生が生じる。結晶性ケイ素膜303bの横方向結晶成長は、この自然核発生により阻害され、新たな結晶粒とぶつかり合うことで、結晶成長が制限される。そして、横方向に結晶成長が及ばないa-Si膜303の領域は、自然核発生し成長した結晶粒で埋め尽くされ、通常の固相結晶化領域303cとなる。このときの横方向に結晶成長した結晶性ケイ素膜303b中のニッケル濃度は $5 \times 10^{16}$  atoms/cm<sup>3</sup>程度であった。なお、上記結晶成長に際し、矢印306で示される基板と平行な方向の結晶成長の距離は、140 μm程度である。

【0088】次に、図6(B)に示すようにレーザー光307を基板全面に照射する。これにより、ニッケル薄膜305のニッケルにより横方向に結晶成長した結晶性ケイ素膜303b、および通常の固相結晶化領域303cの結晶性がさらに助長される。このときのレーザー光としては、XeClエキシマレーザー(波長308 nm、パルス幅40 nsec)を用い、基板を400℃に加熱し、エネルギー密度250 mJ/cm<sup>2</sup>で照射した。

【0089】その後、図6(C)に示すように、後にTFTの活性領域(素子領域)303n、303pとなる

結晶性ケイ素膜を残し、それ以外の領域をエッチング除去して素子間分離を行う。ここで、結晶性ケイ素膜303nは、自然核発生による通常の固相結晶化後、レーザー照射によりその結晶性が助長されたものであり、結晶性ケイ素膜303pは、ニッケルの触媒作用により低温で方向制御され結晶化し、レーザー照射によりその結晶性が助長された結晶性ケイ素膜となっている。

【0090】以後、前記結晶性ケイ素膜303nをNTFTの活性領域に、結晶性ケイ素膜303pをPTFTの活性領域に利用し、第1実施形態および第2実施形態と同様の工程を経て、目的とするCMOS構造の半導体回路を形成する。

【0091】本実施形態においては、第2実施形態に比べNTFTにおいて、さらなる特性向上が図れる。実際に以上の実施形態にしたがって作製したCMOS構造の半導体回路においては、PTFTでは第2実施形態と同様、 $\mu$ が80 cm<sup>2</sup>/Vs~100 cm<sup>2</sup>/Vs、V<sub>th</sub>は-3 V~-4 Vと素晴らしい特性を示す一方、NTFTでも $\mu$ が120 cm<sup>2</sup>/Vs~150 cm<sup>2</sup>/Vs、V<sub>th</sub>が2 V~3 Vと良好な特性を示す。

【0092】以上、本発明に基づく3つの実施形態例につき具体的に説明したが、本発明は上述の実施形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0093】例えば、前述の3例の実施形態においては、ニッケルを導入する方法として、非晶質ケイ素膜表面をニッケル塩を溶かせた水溶液を塗布する方法、あるいは蒸着法によりニッケル薄膜を形成する方法により、ニッケル微量添加を行い、結晶成長を行わす方法を採用した。しかし、第1の非晶質ケイ素膜の成膜前に、下地膜表面にニッケルを導入し、非晶質ケイ素膜下層よりニッケルを拡散させ結晶成長を行わせる方法でもよい。即ち、結晶成長は非晶質ケイ素膜の上面側から行ってもよいし、下面側から行ってもよい。また、ニッケルの導入方法としても、その他、様々な手法を用いることができる。例えば、ニッケル塩を溶かせる溶媒として、SiO<sub>2</sub>膜より拡散させる方法も有効であるし、スパッタリング法やメッキ法により薄膜形成する方法や、イオンドーピング法により直接導入する方法なども利用できる。さらに、結晶化を助長する不純物金属元素としては、ニッケル以外にコバルト、鉄、パラジウム、白金、銅、銀、金、インジウム、スズ、アルミニウム、アンチモンから選ばれた一種または複数種の元素を用いても同様の効果が得られる。

【0094】また、上述した3つの実施形態例では、パルスレーザーであるエキシマレーザー照射により、非晶質ケイ素膜を結晶化、あるいは結晶性ケイ素膜の結晶性を助長する方法を用いた。特に、触媒元素による結晶性ケイ素膜の結晶性を助長する方法においては、触媒元素

により結晶化された結晶性ケイ素膜の良好な結晶性を保持した上で、さらに結晶粒内の欠陥、転位などが効果的に処理され、高品質な結晶性ケイ素膜が得られる。このときの加熱手段として、本実施形態で用いたエキシマレーザー以外に、連続発振Arレーザーなど他の種類のレーザーを用いても同様の処理が可能である。また、レーザー光の代わりに赤外光、フラッシュランプを使用して短時間に1000℃～1200℃（シリコンモーターの温度）まで上昇させ試料を加熱する、いわゆるRTA（ラピッド・サーマル・アニール：RTP（ラピッド・サーマル・プロセス）ともいう）などのいわゆるレーザー光と同等の強光を用いてもよい。

【0095】さらに、本発明の応用としては、液晶表示用のアクティブマトリクス型基板以外に、例えば、密着型イメージセンサー、ドライバー内蔵型のサーマルヘッド、有機系EL等を発光素子としたドライバー内蔵型の光書き込み素子や表示素子、三次元IC等が考えられる。本発明を用いることで、これらの素子の高速、高解像度化等の高性能化が実現される。さらに本発明は、上述の実施形態で説明したMOS型トランジスタに限らず、結晶性半導体を素子材としたバイポーラトランジスタや静電誘導トランジスタをはじめとして幅広く半導体プロセス全般に应用することができる。

【0096】

【発明の効果】以上詳述したように、本発明を用いることにより、安価なガラス基板の使用やスルーボットの向上を図れ、また、絶縁基板上に構成され、Nチャネル型TFTとPチャネル型TFTとを有する半導体装置および半導体回路において、N型TFTのオフ特性を損なうことなく、現在問題となっているP型TFTのオン特性を大きく向上でき、高性能な半導体回路、特にCMOS構造回路が簡便なプロセスにて得られる。特に、液晶表示装置においては、周辺駆動回路部を構成するTFTに要求される高性能化・高集積化を満足し、同一基板上にアクティブマトリクス部と周辺駆動回路部とを有するドライバモノリシック型アクティブマトリクス基板を実現でき、モジュールのコンパクト化、高性能化、低コスト化が図れる。

【図面の簡単な説明】

【図1】第1の実施形態で説明するTFTの作製工程の概要を示す平面図である。

【図2】図1のA-A'で切った断面図であり、第1の実施形態の作製工程を示す工程図である。

【図3】第2の実施形態で説明するTFTの作製工程の概要を示す平面図である。

【図4】図3のB-B'で切った断面図であり、第2の実施形態の作製工程を示す工程図である。

【図5】第3の実施形態で説明するTFTの作製工程の概要を示す平面図である。

【図6】図5のC-C'で切った断面図であり、第3の実施形態の作製工程を示す工程図である。

【図7】本発明のTFTの $V_g - I_d$ 特性を示す図である。

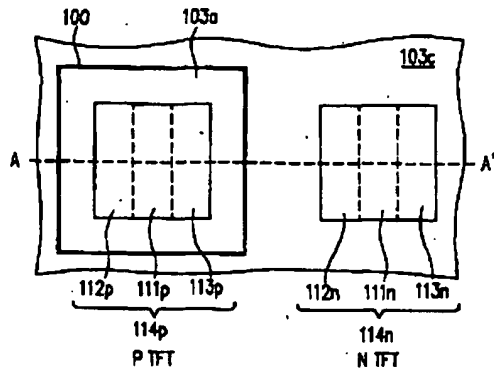
【図8】本発明に用いるインバーター回路を示す図である。

【図9】従来のTFTの $V_g - I_d$ 特性を示す図である。

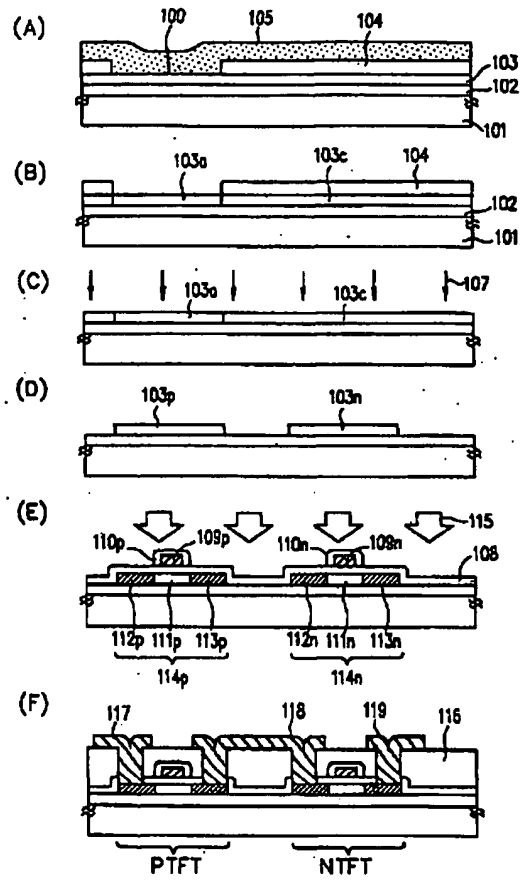
【符号の説明】

101、201、301 ガラス基板  
102、202、302 下地膜  
103、203、303 ケイ素膜  
104、204、304 マスク膜  
105、205、305 触媒元素  
206、306 結晶成長方向  
107、207、307 レーザー光  
108、208、308 ゲート絶縁膜  
109n、109p、209n、209p、309n、309p ゲート電極  
110n、110p 陽極酸化層  
111n、111p、211n、211p、311n、311p チャネル領域  
112n、112p、212n、212p、312n、312p ソース／ドレイン領域  
113n、113p、213n、213p、313n、313p ソース／ドレイン領域  
114n、114p、214n、214p、314n、314p TFT活性領域  
115、215、315 レーザー光  
116、216、316 層間絶縁膜  
117、118、119 電極  
217、218、219 電極  
317、318、319 電極

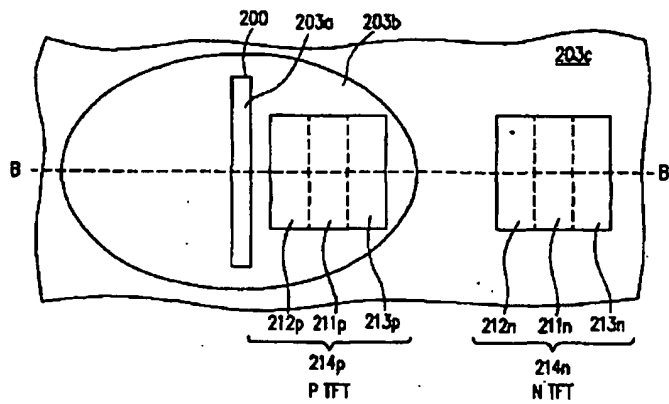
【図 1】



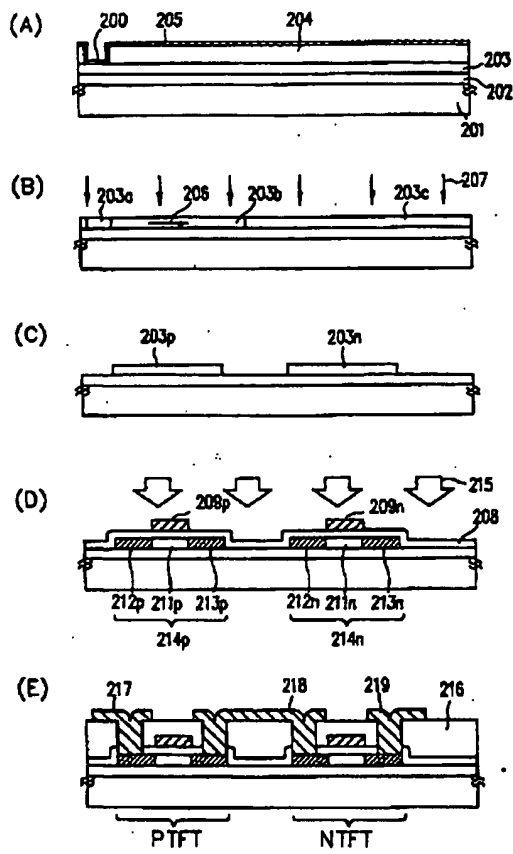
【図 2】



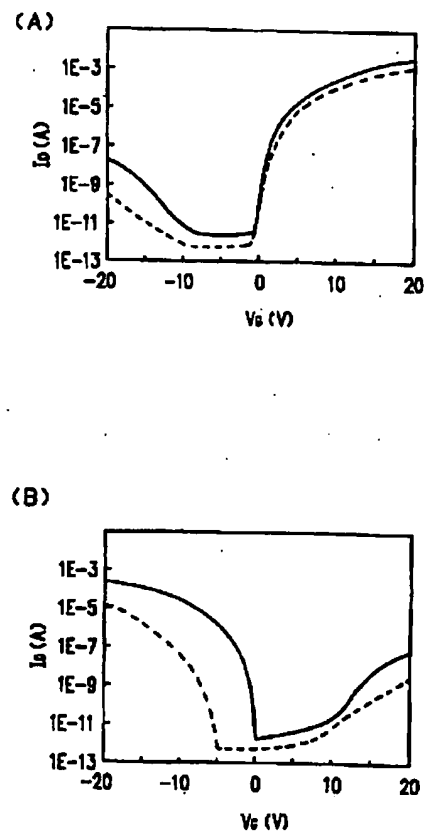
【図 3】



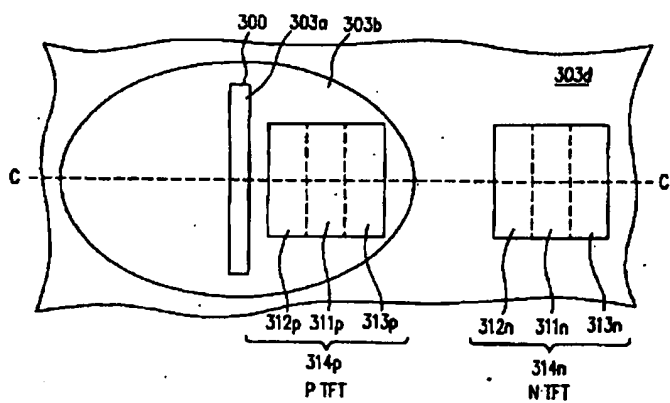
【図 4】



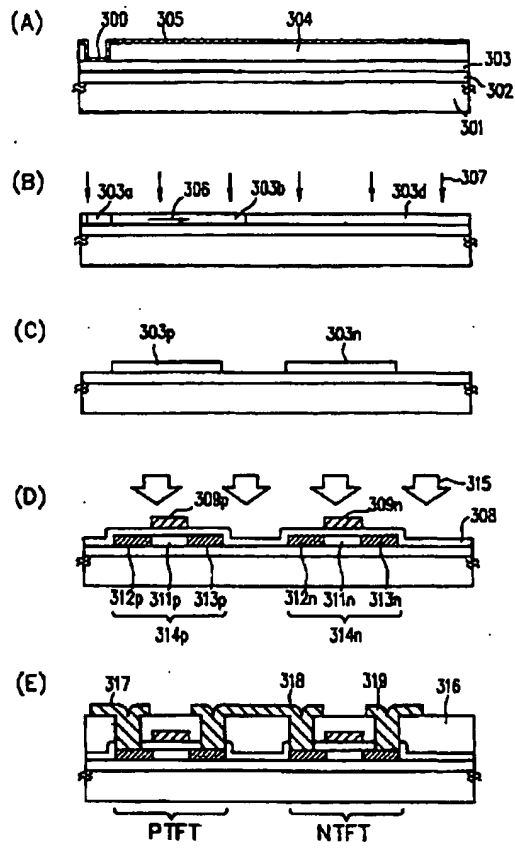
【図 7】



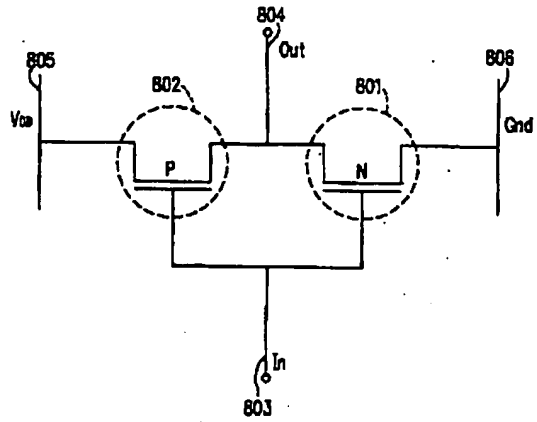
【図 5】



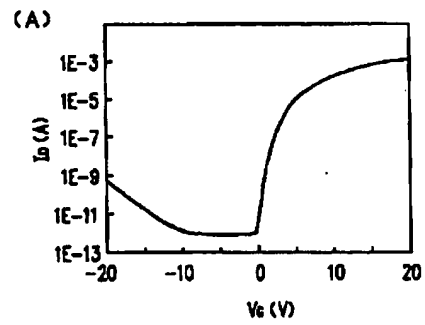
【図 6】



【図 8】



【図 9】



(B)

